|  |  |
| --- | --- |
| **Gerb-BMSTU_01** | **Министерство науки и высшего образования Российской Федерации**  **Федеральное государственное бюджетное образовательное учреждение**  **высшего образования**  **«Московский государственный технический университет**  **имени Н.Э. Баумана**  **(национальный исследовательский университет)»**  **(МГТУ им. Н.Э. Баумана)** |

ФАКУЛЬТЕТ **Информатика и системы управления**

КАФЕДРА **Компьютерные системы и сети (ИУ6)**

НАПРАВЛЕНИЕ ПОДГОТОВКИ **09.03.04 Программная инженерия**

**Отчет**

|  |  |
| --- | --- |
| **по лабораторной работе №** | 2 |

**Название:**

Исследование дешифраторов

**Дисциплина:** Архитектура ЭВМ

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Студент | ИУ7-45Б |  |  | А.А. Шиленков |
|  | (Группа) |  | (Подпись, дата) | (И.О. Фамилия) |
|  |  |  |  |  |
| Преподаватель |  |  |  |  |
|  |  |  | (Подпись, дата) | (И.О. Фамилия) |

Москва, 2020

МГТУ им. Н.Э. Баумана

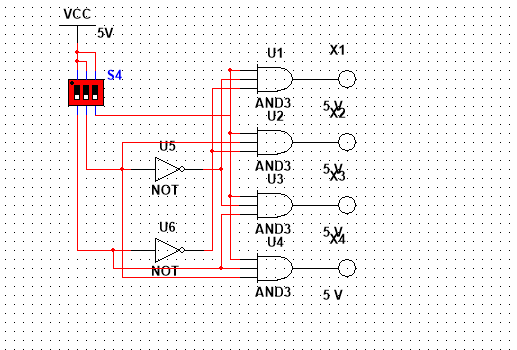
**Цель работы** – изучение принципов построения и методов синтеза дешифраторов; макетирование и экспериментальное исследование дешифраторов.

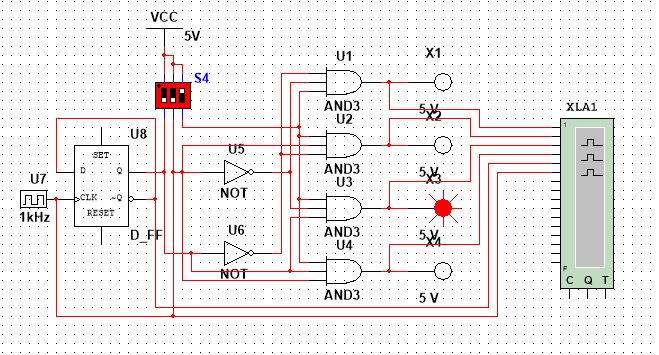
**1.Исследование линейного двухвходового дешифратора с инверсными выходами:**

а) собрать линейный стробируемый дешифратор на элементах 3И-НЕ;

наборы входных адресных сигналов 01,AA задать в выходов 01,QQ четырехразрядного счетчика;

подключить световые индикаторы к выходам счетчикаи дешифратора;

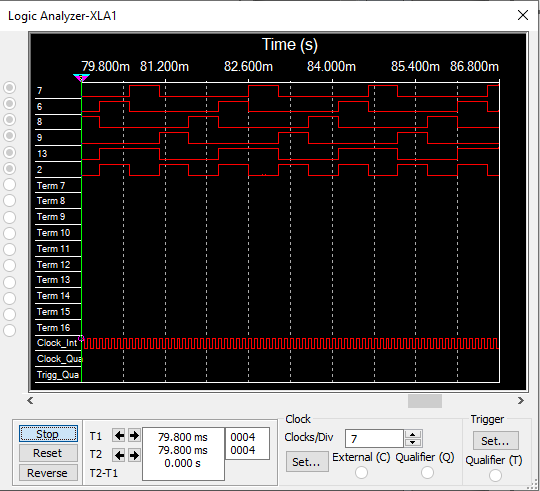




б) составить таблицу истинности нестробируемого дешифратора (ЕN = 1);

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |
| 0 | ∀ | ∀ | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 1 |

в) подать на вход счетчика сигнала генератора и снять временные диаграммы сигналов дешифратора; временные диаграммы здесь и в дальнейшем наблюдать на логическом анализаторе;

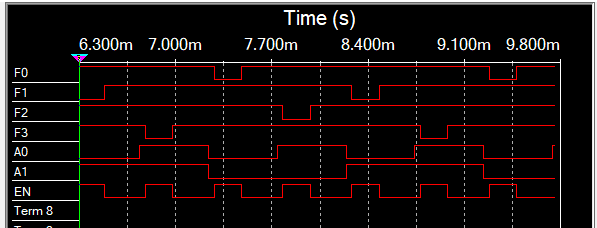


г) определить амплитуду помех, вызванных гонками, на выходах дешифратора;

Помех нет. Это компьютерная модель. На анализаторе их нет.

д) снять временные диаграммы сигналов стробируемого дешифратора;

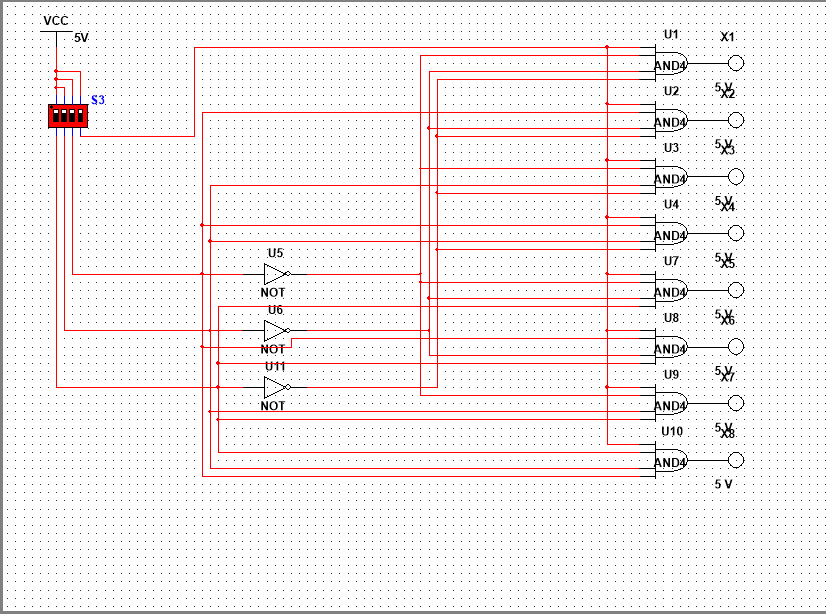
# 



е) опередить время задержки, необходимое для исключения помех на выходах дешифратора, вызванных гонками;

Время задержки стробирующего сигнала должно превышать время переходных процессов всех логических элементов в дешифраторе.

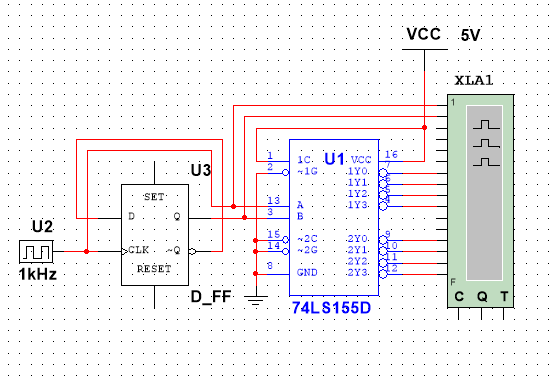
# Линейный трехвходовый дешифратор

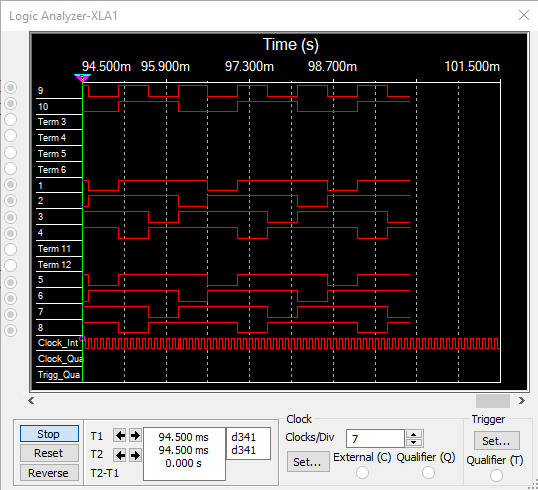


|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |  |  |  |  |
| 0 | ∀ | ∀ | ∀ | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |

2. Исследование дешифраторов ИС К155ИД4

а) снять временные диаграммы сигналов двухвходового дешифратора, подавая на его адресные входы (1 и 2) сигналы выходов счетчика (Q0 и Q1), а на стробирующие входы (3 и 4) – импульсы генератора, задержанные линией задержки;

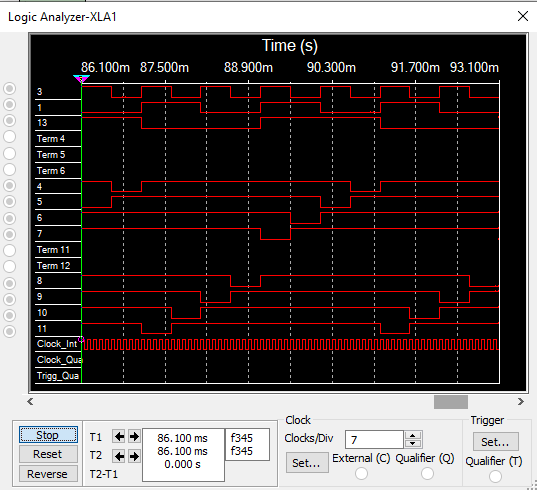
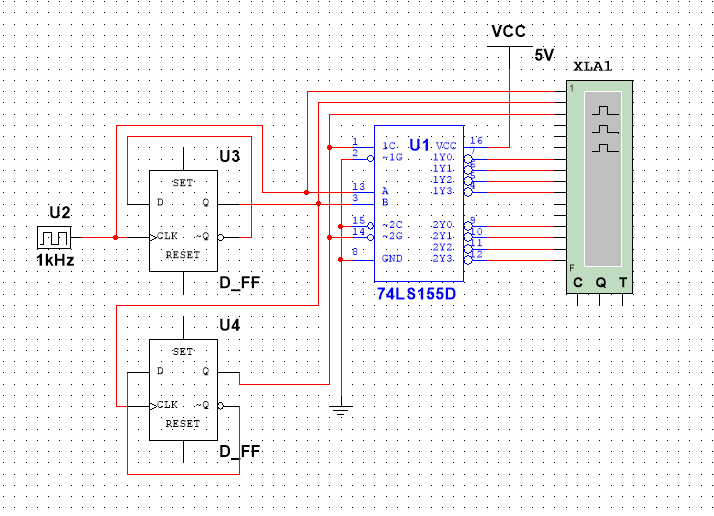




б) определить время задержки стробирующего сигнала, необходимое для исключения помех на выходах дешифратора;

Нет помех.

в) собрать схему трехвходового дешифратора на основе дешифратора, задавая входные сигналы 0 1 2 A A A , , с выходов 0 1 2 Q Q Q ,, счетчика; снять временные диаграммы сигналов дешифратора и составить по ней таблицу истинности.



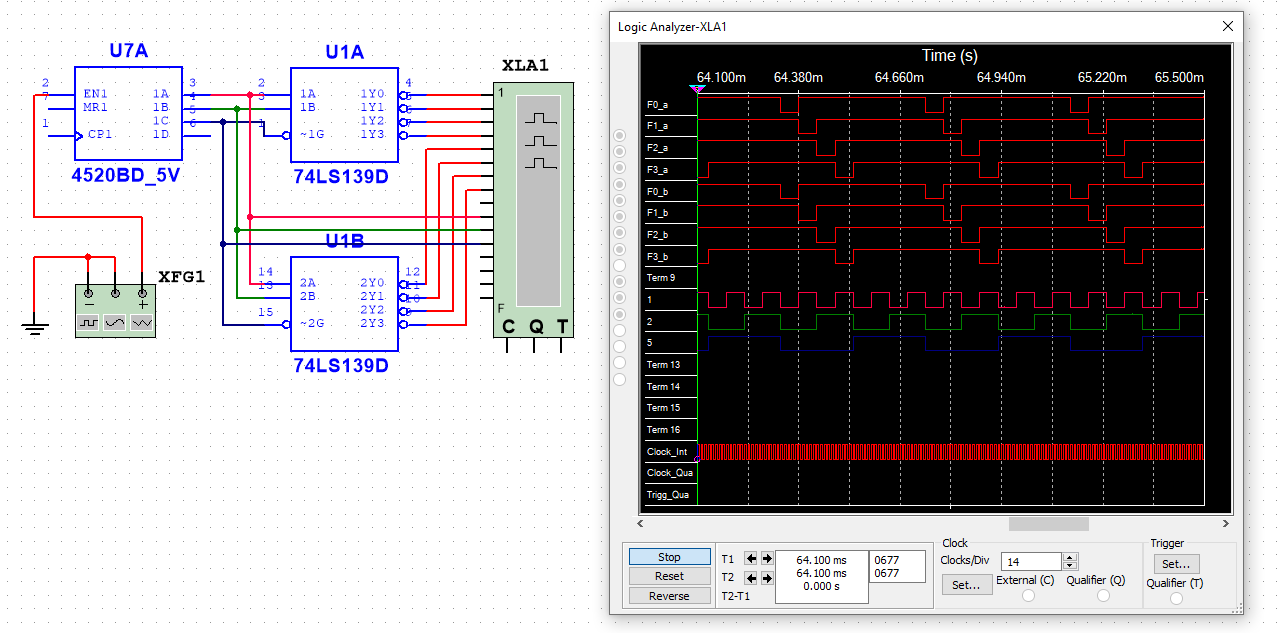
|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| A0 | A1 | A2 | F0 | F1 | F2 | F3 | F4 | F5 | F6 | F7 |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |

3. Исследование дешифраторов ИС КР531ИД14 (74LS139)

ИС 74LS139 содержит два дешифратора DC 2-4 с раздельными адресными входами и разрешения.

Входы разрешения – инверсные.

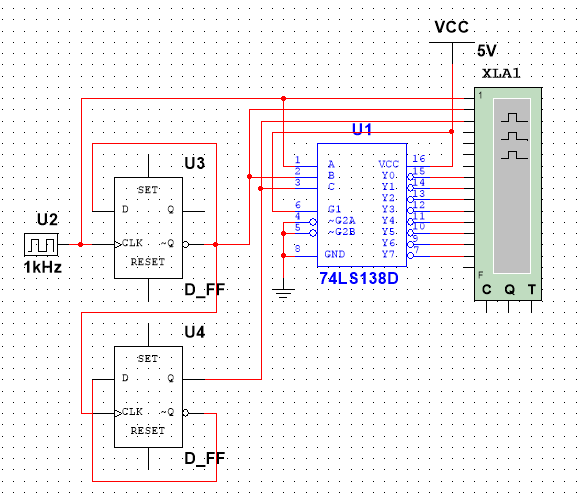
Так как каждый дешифратор имеет один вход разрешения, то для образования двух инверсных входов необходимо перед входом разрешения включить двухвходовой ЛЭ.

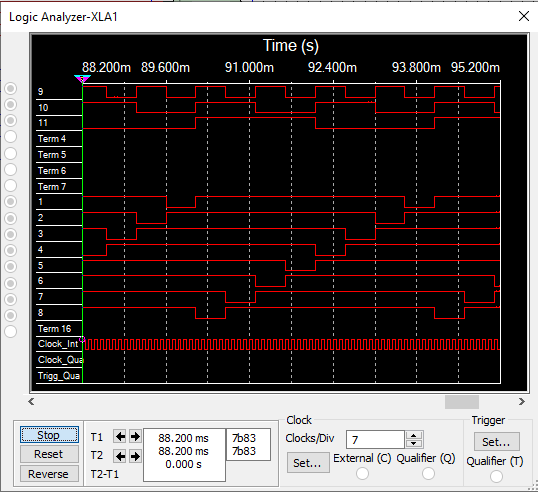


Красиво.

4. Исследовать работоспособность дешифраторов ИС 533ИД7

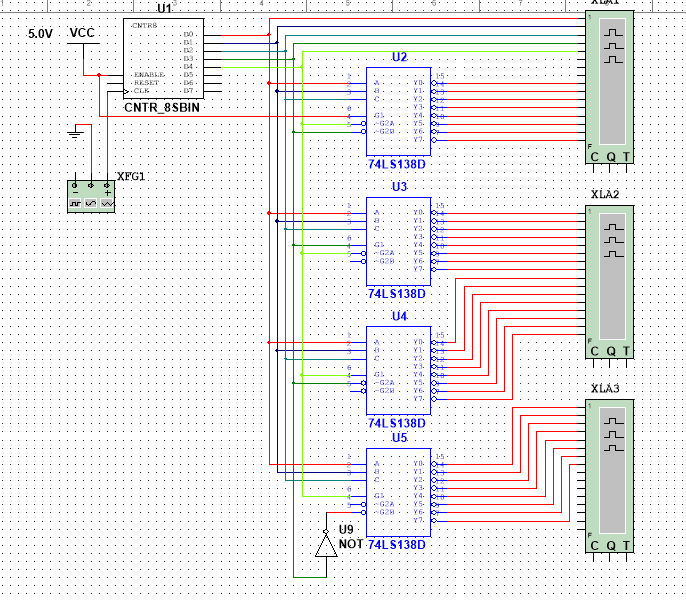
а) снять временные диаграммы сигналов нестробируемого дешифратора ИС 533ИД7, подавая на его адресные входы 1, 2, 4 сигналы Q0, Q1, Q2 с выходов счетчика, а на входы разрешения Е1, Е2, Е3 – сигналы лог. 1, 0, 0 соответственно;

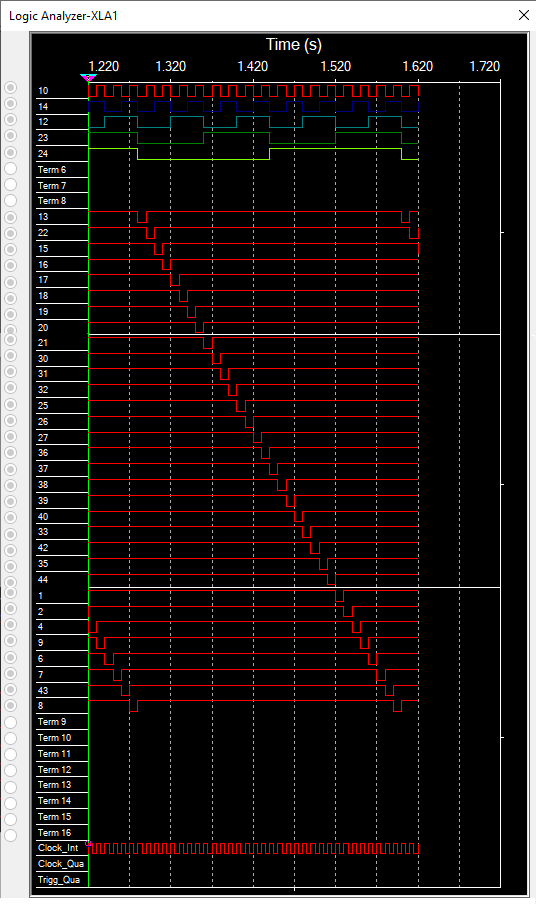




б) собрать схему дешифратора DC 5-32 согласно методике наращивания числа входов и

снять временные диаграммы сигналов, подавая на его адресные входы сигналы Q0, Q1, Q2, Q3, Q4 c выходов 5-разрядного счетчика, а на входы разрешения – импульсы генератора , задержанные линией задержки макета;





Контрольные вопросы

1.Что называется дешифратором?

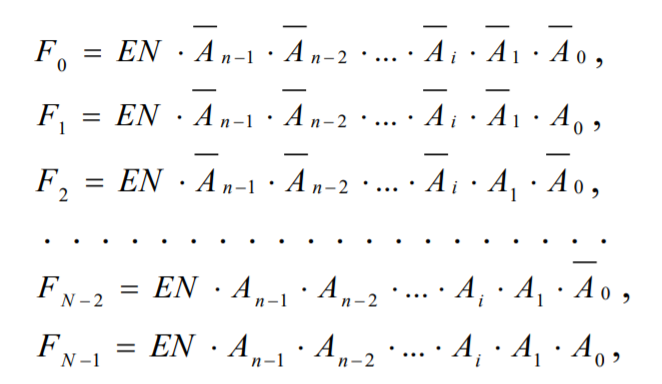
Дешифратором называется комбинационныйузел с n входами и N выходами, преобразующий каждый набор двоичных входных сигналов в активный сигнал на выходе, соответствующий этому набору.

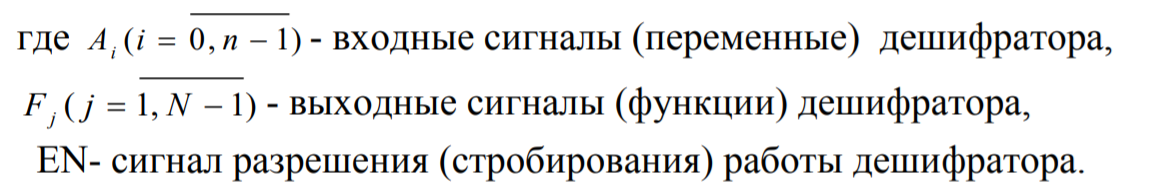
2.Какой дешифратор называется полным (неполным)?

Дешифратор, имеющий 2nвыходов, называется полным, при меньшем числе выходов-неполным.

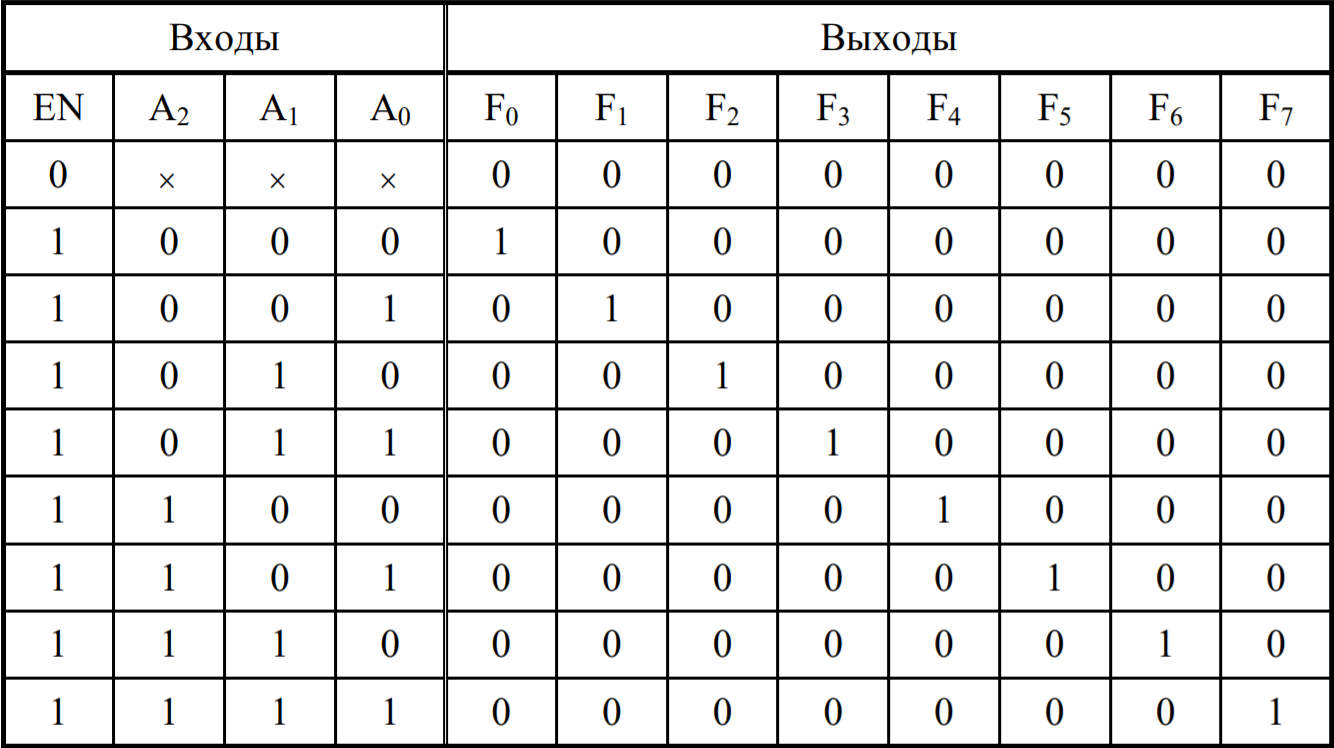
3.Определите закон функционирования дешифратора аналитически и таблично.

Аналитически функционирование дешифратора описывается системой логических уравнений, где он активен:





Табличное определение:



4.Поясните основные способы построения дешифраторов.

По способу построения дешифраторы разделяют на линейные и каскадные. Разновидностями последних являются пирамидальные иступенчатые дешифраторы.

Линейный дешифратор строится в соответствии с системой функцией (1) и представляет собой 2nконъюнкторов или логических элементов (ЛЭ) ИЛИ-НЕ с n-входами каждый при отсутствии стробирования и с (n+1) входами -при его наличии.

Пирамидальный дешифратор.Строится на основе последовательной (каскадной) реализации выходных функций.

Пирамидальные дешифраторы независимо от числа их входов строятся на основе только двухвходовых конъюнкторов.

Ступенчатый дешифратор строится на основе двух дешифраторов на 𝑚 и (𝑛 − 𝑚) входов и двухвходовых конъюнкторов. Если 𝑛 – четное, то 𝑚 = 𝑛 / 2, при нечетном 𝑛 величины 𝑚 и (𝑛 − 𝑚) отличаются на единицу:

𝑚 = (𝑛 + 1) / 2,

𝑛 − 𝑚 = (𝑛 − 1) / 2.

При большом числе входов 𝑛 ступенчатые дешифраторы имеют существенно меньшие аппаратурные затраты, чем линейные и пирамидальные.

5.Что называется гонками и как устраняются ложные сигналы, вызванные гонками?

Вследствие переходных процессов и временных задержек сигналов в цепях логических элементов могут возникнуть так называемые гонки (состязания), приводящие к появлению ложных сигналов на выходах схемы. Основным средством, позволяющим исключить гонки, является стробирование (выделение из информационного сигнала той части, которая свободна от искажений, вызываемых гонками).

6.Каковы способы наращивания дешифраторов по количеству входов и выходов и как они реализуются схемотехнически?

Пусть для построения сложного дешифратора Dcn-N используются простые дешифраторы DCn1-N1, причем n1n, следовательно и N1N.

1)Число каскадов равно К= n/n1. Если К –целое число, то во всех каскадах используются полные дешифраторы DCn1-N1. Если К –правильная или смешанная дробь, то во входном каскаде используется неполный дешифратор DCn1-N1.

2)Количество простых дешифраторов DCn1-N1в выходном каскаде равно N/N1, в предвыходном -N/N12, в предпредвыходном -N/N13и т.д.; во входном каскаде -N/N1к. Если N/N1к–правильная дробь, то это означает, что во входном каскаде используется неполный простой дешифратор.

3)В выходном каскаде дешифрируются n1младших разрядов адреса сложного дешифратора, в предвыходном –следующие n1младших разрядов адреса сложного дешифратора и т.д. Во входном каскаде дешифрируется полная или неполная группа старших разрядов адреса. Поэтому n1младших разрядов адреса сложного дешифратора подаются параллельно на адресные входы всех дешифраторов выходного каскада, следующие n1младших разрядов адреса –на адресные входы всех дешифраторов предвыходного каскада и т.д.; группа старших разрядов адреса подается на адресные входы дешифратора.

4)Выходы дешифраторов предвыходного каскада соединяются с входами разрешения простых дешифраторов выходного каскада, выходы дешифраторов предпредвыходного каскада –с входами разрешения простых дешифраторов предвыходного каскада и тд

Стробирующий вход используется также для наращивания дешифратора.

Если простой дешифратор в составе сложного имеет несколько стробирующих входов, то один вход используется для наращивания дешифратора, а второй – для стробирования или разрешения.

Схемы представлены выше.

Вывод:

Мы изучили принципы построения и методы синтеза дешифраторов; макетирование и экспериментальное исследование дешифраторов.

Мы собрали несколько линейных дешифраторов и научились пользоваться уже готовыми схемами.

Так же мы научились моделировать примитивный шифратор на основе Д-триггеров, чтобы реализовать дешифрацию.